

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(19)

(11) Publication number: **11225041 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **10025943**(51) Intl. Cl.: **H03H 9/44 H04B 1/707**(22) Application date: **06.02.98**

(30) Priority:

(43) Date of application  
publication: **17.08.99**(84) Designated contracting  
states:(71) Applicant: **MURATA MFG CO LTD**(72) Inventor: **KAWABATA HIROSHI**

(74) Representative:

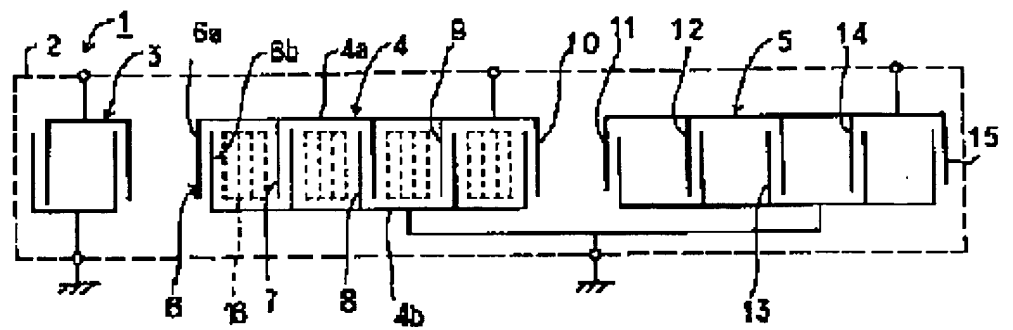
**(54) DELAY LINE WITH TAP**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the small sized delay line with tap in which a low loss is attained and also a temperature characteristic of an excellent suppression ratio of an autocorrelation waveform is enhanced without the need for a complicated temperature compression circuit.

SOLUTION: This delay line uses a LiTaO<sub>3</sub> substrate 2 with X-cut 112° ±3°, Y propagation. An interdigital electrode section 3 and coding electrode sections 4, 5 with a plurality of taps are formed on the LiTaO<sub>3</sub> substrate 2. An upper end of a main lobe in the frequency characteristic is 322 MHz or below and the delay time is 1.3 μ sec or below.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-225041

(43) 公開日 平成11年(1999) 8月17日

(51) Int.Cl.<sup>9</sup>

H 0 3 H 9/44

H 0 4 B 1/707

識別記号

F I

H 0 3 H 9/44

H 0 4 J 13/00

D

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平10-25943

(22) 出願日

平成10年(1998) 2月 6 日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 川端 宏

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

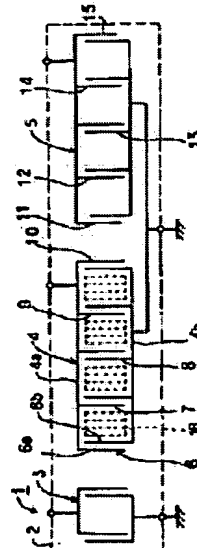
(74) 代理人 弁理士 宮▼崎▲ 主税 (外 1 名)

(54) 【発明の名称】 タップ付き遅延線

0) 【要約】

【課題】 低損失化を図り得るだけでなく、複雑な温度補償回路を必要とすることなく良好な自己相関波形の抑圧比の温度特性を発揮し得る、小型のタップ付き遅延線を提供する。

【解決手段】 Xカット11.2±3° Y伝搬のLiTaO<sub>3</sub>基板2を用い、該LiTaO<sub>3</sub>基板2上にインターデジタル電極部3と、複数のタップを有する符号化電極部4、5とが形成されており、周波数特性におけるメインロープの上端が322MHz以下であり、かつ遅延時間が1.3μ秒以下とされている、タップ付き遅延線。



【特許請求の範囲】

【請求項1】 Xカット $112 \pm 3^\circ$  Y伝搬のLiTaO<sub>3</sub>基板と、前記LiTaO<sub>3</sub>基板上に設けられたインターデジタル電極部と、前記インターデジタル電極と表面波伝搬方向において所定距離隔てられて形成されており、かつ複数のタップを有する符号化電極部とを備え、周波数特性におけるメインロープの上端が322MHz以下であり、かつ遅延時間が1.3μs以下とされていることを特徴とする、タップ付き遅延線。

【請求項2】 前記符号化電極部に、ダミー電極がさらに備えられている、請求項1に記載のタップ付き遅延線。

【請求項3】 前記インターデジタル電極部が第1、第2のインターデジタル電極部を有し、第1、第2のインターデジタル電極部と、1つの符号化電極部とが直列配置されている、請求項1または2に記載の遅延検波用表面波素子。

【請求項4】 1つの前記インターデジタル電極部と、第1、第2の符号化電極部とを有し、インターデジタル電極部及び第1、第2の符号化電極部が直列配置されている、請求項1または2に記載のタップ付き遅延線。

【請求項5】 1つの前記符号化電極部と、第1～第3のインターデジタル電極部とを有し、かつ符号化電極部と第1のインターデジタル電極部とによりタップ付き遅延線部が構成されており、第2、第3のインターデジタル電極部により遅延部が構成されている、請求項1または2に記載のタップ付き遅延線。

【請求項6】 遅延検波用表面波素子であることを特徴とする、請求項1～5のいずれかに記載のタップ付き遅延線。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表面波を利用したタップ付き遅延線に関し、より詳細には、例えばスペクトル拡散(SS)通信用遅延検波素子として好適に用いることができるタップ付き遅延線に関する。

【0002】

【従来の技術】従来、スペクトル拡散(以下、SSと略す。)通信方式に用いられる検波器として、タップ付き遅延線を用いた遅延検波用表面波素子が種々提案されている。例えば、電子情報通信学会発行、信学技報CS93-45、SST93-2(1993-06)、第7頁～第12頁には、SS通信方式に用い得る検波素子として、STカット水晶基板上に、符号化された入力電極と、出力電極とがPN符号の1周期に相当する距離だけ離れて設けられているSAWマッチドフィルタが開示されている。

【0003】他方、信学技報US95-18(1995

-06)、第35頁～第42頁には、SS通信に用いられる遅延検波用表面波素子として、STカット水晶基板上に、入力インターデジタル電極部と、入力インターデジタル電極部から所定距離隔てられて設けられた符号化電極部とを形成し、入力インターデジタル電極部にZnO圧電薄膜を形成してなるSAWマッチドフィルタが開示されている。

【0004】従来、遅延検波用表面波素子を構成するのにSTカット水晶基板を用いているのは、遅延時間温度特性が小さいためである。しかしながら、STカット水晶基板は電気機械結合係数が小さいため、STカット水晶基板を用いると、損失が大きくなるという問題があった。

【0005】他方、電気機械結合係数の大きな表面波基板材料として、LiNbO<sub>3</sub>、LiTaO<sub>3</sub>、PZTなどが知られている。しかしながら、これらの電気機械結合係数の大きな基板材料を用いて遅延検波用表面波素子を構成した場合、周波数温度特性が悪いため、各タップ間において弾性表面波との間に位相差を生じ、遅延時間温度特性が劣化するという問題があった。

【0006】特開平1-123516号公報には、上記のような電気機械結合係数の大きな基板材料を用いた場合の遅延時間温度特性の劣化を防止する方法として、例えば周波数可変型のローカル発振器及び周波数変調器を有する温度補償回路を接続した構成が開示されている。

【0007】

【発明が解決しようとする課題】しかしながら、特開平1-123516号公報に記載の方法では、遅延検波用表面波素子として電気機械結合係数の大きなLiNbO<sub>3</sub>基板やLiTaO<sub>3</sub>基板を用いることにより、損失の抑制が図られ、上記温度補償回路を用いることにより遅延時間温度特性の劣化が防止されるものの、上記温度補償回路を別途用意し、遅延検波用表面波素子に接続しなければならなかった。従って、部品点数が増大し、かつSS通信における検波回路の構成が複雑となるので、機器の小型化の妨げになるという問題があった。

【0008】本発明の目的は、電気機械結合係数の大きな基板材料を用いて損失の低減を図り得るだけでなく、余分な回路を必要とすることなく、良好な自己相関波形の抑圧比の温度特性を得ることができ、組み込まれる機器の小型化を図り得る、タップ付き遅延線を提供することにある。

【0009】

【課題を解決するための手段】請求項1に記載の発明に係るタップ付き遅延線は、Xカット $112 \pm 3^\circ$  Y伝搬のLiTaO<sub>3</sub>基板と、前記LiTaO<sub>3</sub>基板上に設けられたインターデジタル電極部と、前記インターデジタル電極と表面波伝搬方向において所定距離隔てられて形成されており、かつ複数のタップを有する符号化電極部とを備え、周波数特性におけるメインロープの上端が3

22MHz以下であり、かつ遅延時間が1.3μ秒以下とされていることを特徴とする。

【0010】また、請求項2に記載の発明では、前記符号化電極部にダミー電極がさらに備えられる。請求項3に記載の発明では、上記インターデジタル電極部第1、第2のインターデジタル電極部を有し、第1、第2のインターデジタル電極部と1つの符号化電極部とが直列配置されている。

【0011】請求項4に記載の発明では、1つのインターデジタル電極部と、第1、第2の符号化電極部とが備えられており、該インターデジタル電極部及び第1、第2の符号化電極部が直列配置されている。

【0012】請求項5に記載の発明では、1つの符号化電極部と、第1～第3のインターデジタル電極部とが備えられており、かつ符号化電極部と第1のインターデジタル電極部によりタップ付き遅延線が構成されており、第2、第3のインターデジタル電極部により遅延部が構成されている。請求項6に記載のように、本発明に係るタップ付き遅延線は、遅延検波用表面波素子として好適に用い得る。

【0013】

【発明の実施の形態】前述したように、従来、LiTaO<sub>3</sub>基板やLiNbO<sub>3</sub>基板の電気機械結合係数が大きいことは知られていたものの、これらの圧電基板は、周波数温度特性が良好でないため、遅延検波用表面波素子では、通常、STカット水晶基板が用いられていた。また、特開平1-123516号公報では、電気機械結合係数の大きな圧電基板を用いて損失の低減を図ることが提案されているものの、上述した複雑な温度補償回路を接続しなければならなかった。

【0014】そこで、本発明者らは、電気機械結合係数の大きな圧電基板について、さらに検討した結果、特定のカット角及び伝搬方向を有するLiTaO<sub>3</sub>基板を用いれば、温度補償回路を接続せずとも、十分な遅延時間温度特性を得ることができることを見出し、本発明を成すに至った。

【0015】すなわち、本発明に係るタップ付き遅延線は、Xカット112±3° Y伝搬のLiTaO<sub>3</sub>基板を用いたことを特徴とする。このXカット112±3° Y伝搬のLiTaO<sub>3</sub>基板は、電気機械結合係数k<sub>2</sub>が0.64%と大きく、従って、STカット水晶基板(k<sub>2</sub>=0.12%)を用いた場合に比べて損失の低減を図り得る。

【0016】のみならず、上記特定のカット角及び伝搬方向を有するため、後述の実施例から明かなように、良好な遅延時間温度特性を有し、遅延検波用表面波素子に用いた場合、温度に対する自己相関波形の抑圧比の変化が改善され、温度特性が良好な遅延検波用表面波素子を構成することができる。

【0017】次に、具体的な実施例に基づき、Xカット

112±3° Y伝搬のLiTaO<sub>3</sub>基板を用いた場合に、良好な温度特性が得られることを明らかにする。Xカット112° Y伝搬のLiTaO<sub>3</sub>基板(2.0×7.5×厚み0.37mm)を用い、図1に示す遅延検波用表面波素子1を構成した。

【0018】すなわち、図1に示した遅延検波用表面波素子1は、Xカット112° Y伝搬のLiTaO<sub>3</sub>基板2を用いて構成されている。LiTaO<sub>3</sub>基板2上には、表面波伝搬方向に沿って、インターデジタル(以下、IDT)電極部3、第1の符号化電極部4及び第2の符号化電極部5が所定距離を隔てて配置されている。入力IDT部3と、第1の符号化電極部4とによりSAWマッチドフィルタが構成されており、第1、第2の符号化電極部4、5により遅延線が構成されている。入力IDT部3は、くし歯電極により構成されている。入力IDT電極3には、PN符号化されたSS信号が入力される。

【0019】第1の符号化電極部4は、複数のタップ6～10を有し、タップ6～10は、第1の符号化電極部4をPN符号化するために設けられている。すなわち、タップ6を例にとると、タップ6は、バスバー4aに接続された電極指6aと、バスバー4bに接続された電極指6bとを有する。電極指6a、6bは、表面波伝搬方向に沿ってこの順序で配置されており、かつ所定の交差幅で交差されている。他のタップ7～10についても、同様にバスバー4aに接続された電極指とバスバー4bに接続された電極指とを有する。各タップ6～10における電極指の順序を調整することにより、第1の符号化電極部4がPN符号化されている。

【0020】第2の符号化電極部5についても、複数のタップ11～15を有し、タップ11～15により第1の符号化電極部4と同様にPN符号化されている。また、第1の符号化電極部4と第2の符号化電極部5との間の距離は、第2の符号化電極部5から得られる自己相関ピークが第1の符号化電極部4から得られる自己相関ピークに対してSS信号の1周期分遅延するような長さに設定されており、従って、第1、第2の符号化電極部4、5により遅延線が構成されている。

【0021】なお、本発明においては、上記符号化電極部には、図1に破線で示すように、ダミー電極16を設けてもよく、それによってタップ間の反射を抑制し、良好な周波数特性とすることができる。

【0022】本実施例では、上記構造の遅延検波用表面波素子1を得るにあたり、チップレート=10Mcps、13チップ(遅延時間T=1.3μ秒)とし、中心周波数f<sub>0</sub>が120.02MHz、150.05MHz及び310.33MHzの3種類の遅延検波用表面波素子を、それぞれ、実施例1、実施例2及び実施例3として作製した。

【0023】上記実施例1～3の遅延検波用表面波素子の自己相関波形の抑圧比の温度特性を測定した。結果を

図2に示す。なお、遅延検波用表面波素子の自己相関波形の抑圧比とは、図3に示すように、自己相関ピーク波形の大きさを $y$ 、最大のサイドローブピークの大きさを $x$ としたときに、抑圧比 $=20\log(y/x)$  (dB)で表される値である。

【0024】また、比較のために、チップレート $=16.3\text{Mcps}$ 、63チップ(遅延時間 $T=3.9\mu\text{s}$ )、中心周波数 $310\text{MHz}$ であることを除いては、上記と同様に遅延検波用表面波素子(比較例とする。)を作製し、その自己相関波形の抑圧比の温度特性を測定した。結果を図2に併せて示す。

【0025】図2において、実線A、破線B及び一点鎖線Cは、それぞれ、実施例1～3に係る遅延検波用表面波素子についての特性を、破線Dは上記比較例の遅延検波用表面波素子の特性を示す。

【0026】図2から明らかなように、中心周波数が $120.02\text{MHz}$ 、 $150.05\text{MHz}$ 及び $310.3\text{MHz}$ (この場合、周波数特性におけるメインローブの上端は $310.33+1.0=320.33\text{MHz}$ となる。)であり、すなわち、周波数特性におけるメインローブの上端が $322\text{MHz}$ 以下であり、遅延時間が $1.3\mu\text{s}$ である実施例1～3の遅延検波用表面波素子では、自己相関波形における抑圧比が、広い温度範囲にわたり余り変化しないことがわかる。

【0027】これに対して、比較例の遅延検波用表面波素子では、 $0^\circ\sim 60^\circ\text{C}$ の温度範囲において自己相関波形の抑圧比が大きく変化することがわかる。動作温度範囲 $-10\sim 70^\circ\text{C}$ において、タップ付き遅延線の上記抑圧比を $14\text{dB}$ 以上になるようにしきい値レベルを設定すると、実施例1～3の遅延検波用表面波素子は、CSK方式のSS-DS通信において無理なく動作した。従って、抑圧比のしきい値レベル $14\text{dB}$ を、この温度範囲でカバーするには、遅延検波用表面波素子1の中心周波数を微弱電波帯( $322\text{MHz}$ 以下)とし、遅延時間を $1.3\mu\text{s}$ 以下とすればよいことがわかる。

【0028】なお、上述した通り、本発明に係るタップ付き遅延線は、上記特定のカット角及び伝搬方向のLiTaO<sub>3</sub>基板を用いたことに特徴を有するものであり、Xカット $11.2^\circ$  Y伝搬のLiTaO<sub>3</sub>基板を用いることが好ましいが、Xカット $11.2\pm 3^\circ$  Y伝搬のLiTaO<sub>3</sub>基板を用いた場合、同様の結果が得られることが確かめられた。

【0029】また、本発明に係るタップ付き遅延線の具体的な構造については、図1に示した遅延検波用表面波素子1に限定されず、従来より公知の様々なタップ付き遅延線や遅延検波用表面波素子に適用することができる。このような遅延検波用表面波素子の他の構造例を、図4及び図5に示す。

【0030】図4は、本発明が適用される遅延検波用表面波素子の他の例を説明するための模式的平面図であ

る。遅延検波用表面波素子21は、破線で模式的に外形を示す、Xカット $11.2\pm 3^\circ$  Y伝搬のLiTaO<sub>3</sub>基板22を用いて構成されている。

【0031】LiTaO<sub>3</sub>基板22上には、IDT電極部23及び第1、第2の符号化電極部24、25が表面波伝搬方向に沿って所定距離を隔てて配置されている。すなわち、1つのIDT電極部と、第1、第2の符号化電極部24、25とが直列配置されている。

【0032】IDT電極部23は、第1の実施例におけるIDT電極部4、5と同様に構成されている。また、第1、第2の符号化電極部24、25は、それぞれ複数のタップ26～30、31～35を有するように構成されている。各タップ26～35は、第1の実施例におけるタップ6と同様に構成されている。

【0033】IDT電極部23は、入力電極を構成し、SS信号がIDT電極23に入力される。SS信号は、IDT電極23から第1、第2の符号化電極部24、25側に伝搬する。第1、第2の符号化電極部24、25は、それぞれ、伝搬してきたSS信号と、PN符号とが一周期分一致すると相関ピーク信号を出力するように、上記PN符号に従って、タップ26～30、31～35が符号化されている。

【0034】なお、36は遅延検波部を示し、遅延検波用表面波素子21の出力端子21b、21cよりの相関ピーク信号の積をとる積算部36aと、ローパスフィルタ36bとを有する。また、37は、復調器を示す。

【0035】図5は、本発明が適用される遅延検波用表面波素子の他の構造例を示す模式的平面図である。遅延検波用表面波素子41は、Xカット $11.2\pm 3^\circ$  Y伝搬LiTaO<sub>3</sub>基板42を用いて構成されている。

【0036】LiTaO<sub>3</sub>基板42上には、1つの符号化電極部43と、第1～第3のIDT電極部44～46が形成されている。本構造例では、符号化電極部43と第1のIDT電極部44とによりタップ付き遅延線が構成されており、第2、第3のIDT電極部45、46により遅延線が構成されている。

【0037】すなわち、符号化電極部43と、表面波伝搬方向に沿って所定距離を隔てて第1のIDT電極部44が形成されている。また、符号化電極部43及び第1のIDT電極部44が配置されている領域の側方には、第2、第3のIDT電極部45、46が表面波伝搬方向に沿って所定距離を隔てて配置されている。

【0038】符号化電極部43は、複数のタップ47～51を有し、タップ47～51は、第1、第2の実施例における符号化電極部と同様にPN符号化されている。また、第1～第3のIDT電極部44～46は、複数本の電極指を互いに間道し合うように配置した構造を有する。なお、52、53は整合回路、54は復調器を示す。

【0039】遅延検波用表面波素子41では、符号化電

極部43と第1のIDT電極部44とによりマッチドフィルタが構成されており、該マッチドフィルタの側方にIDT電極部45、46により構成されている表面波遅延線が配置されている。

【0040】上記マッチドフィルタのIDT電極部44が、上記整合回路52を介して表面波遅延線のIDT電極部46及び復調器54の一方入力端に結合されている。また、表面波遅延線のIDT電極部45は、整合回路53を介して復調器54の他方入力端に結合されている。

【0041】

【発明の効果】請求項1に記載の発明に係るタップ付き遅延線では、Xカット112±3° Y伝搬のLiTaO<sub>3</sub>基板を用いており、この基板が電気機械結合係数が大きいので、低損失化を図ることができる。加えて、上述したように、周波数特性におけるメインロープの上端が322MHz以下であり、かつ遅延時間が1.3μ秒以下となるようにタップ付き遅延線を構成することにより、上記LiTaO<sub>3</sub>基板を用いた場合であっても、温度補償回路を用いることなく、良好な温度特性を得ることができる。従って、複雑な温度補償回路を用いることなく、小型であり、低損失かつ温度特性が良好なタップ付き遅延線を提供することが可能となる。

【0042】請求項2に記載の発明では、上記符号化電極部にダミー電極がさらに備えられているので、タップ間の反射を抑制し、良好な周波数特性とすることができる。

【図1】本発明の一実施例に係る遅延検波用表面波素子を説明するための模式的平面図。

【図2】実施例1～3及び比較例の遅延検波用表面波素子の自己相関波形の抑圧比の温度変化を示す図。

【図3】自己相関波形における抑圧比を説明するための模式図。

【図4】本発明が適用される遅延検波用表面波素子の他の構造例を説明するための模式的平面図。

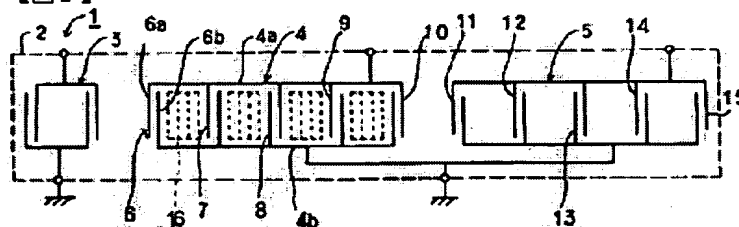
【図5】本発明が適用される遅延検波用表面波素子の他の構造例を説明するための模式的平面図。

【符号の説明】

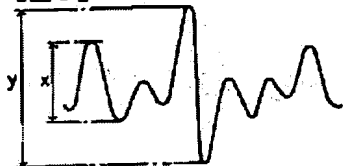
- 1…遅延検波用表面波素子
- 2…LiTaO<sub>3</sub>基板
- 3…IDT電極部
- 4…第1の符号化電極部
- 5…第2の符号化電極部
- 6～10、11～15…タップ
- 16…ダミー電極
- 21…遅延検波用表面波素子
- 22…LiTaO<sub>3</sub>基板
- 23…IDT電極部
- 24、25…第1、第2の符号化電極部
- 26～35…タップ
- 41…遅延検波用表面波素子
- 42…LiTaO<sub>3</sub>基板
- 43…符号化電極部
- 44～46…第1～第3のIDT電極部

【図面の簡単な説明】

【図1】

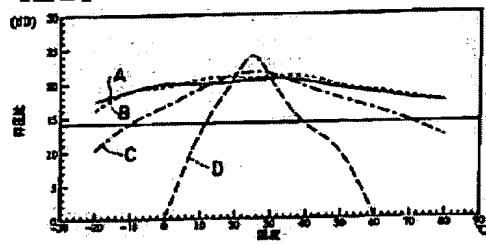


【図3】

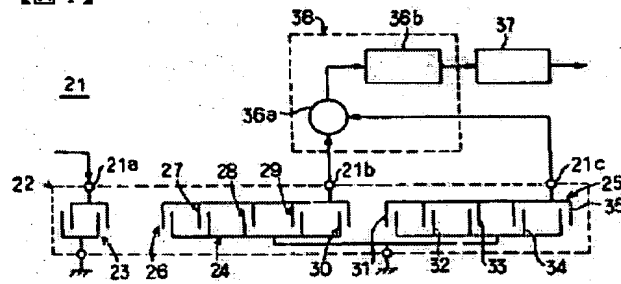




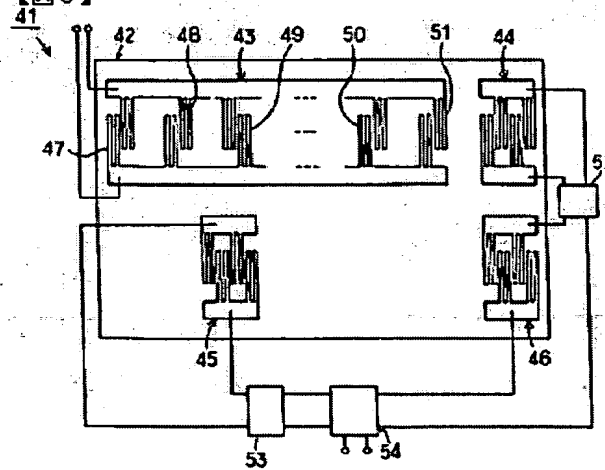
【図2】



【図4】



【図5】



【手続補正書】

【提出日】平成10年2月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正内容】

【請求項3】 前記インターデジタル電極部が第1，第2のインターデジタル電極部を有し、第1，第2のインターデジタル電極部と、1つの符号化電極部とが直列配置されている、請求項1または2に記載のタップ付き遅延線。